

(Di)

SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP5226611
Publication date: 1993-09-03
Inventor(s): NAKAJIMA HIDEHARU
Applicant(s): SONY CORP
Requested Patent: ☐ JP5226611
Application Number: JP19920059628 19920214
Priority Number(s):
IPC Classification: H01L27/108
EC Classification:
Equivalents:

Abstract

PURPOSE: To make the device highly integrated one by forming a folded bit line structure wherein memory cells are arranged in matrix form and by shortening the side length of each memory cell.
CONSTITUTION: Memory cells are located like a matrix and bit lines BL1-BL5 are extended to connect the memory cells A, etc., which are arranged in the Y direction. And, a word line WL is extended to connect the memory cells A-C which are connected to every other bit line BL1, BL3 and BL5 respectively and which are so arranged as to cross the bit lines BL1, BL3 and BL5 at an angle. When the word line WL is selected, data stored in the memory cells A, B, C, etc., is output to every other bit line BL1, BL3, BL5, etc., and no data is output to bit lines BL2, BL4, etc. An unselected word line part 23 of the word line WL which is between the memory cells dominates half the word line WL for one memory cell.

Data supplied from the esp@cenet database - I2

特開平5-226611

(43) 公開日 平成5年(1993)9月3日

(51) Int.Cl.³

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

8728-4M

H 0 1 L 27/ 10

3 2 5 N

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平4-59628

(22) 出願日 平成4年(1992)2月14日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中嶋 英晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

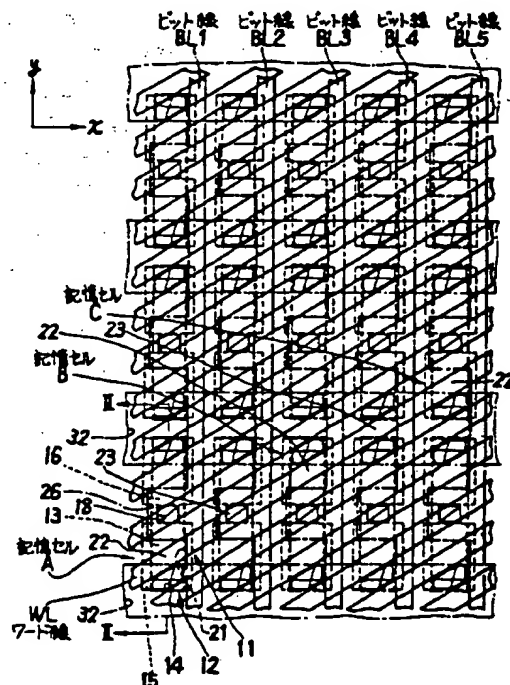
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 記憶セルがマトリックス状に配置されている折り返しビット線構成を形成し、且つ記憶セルの辺の長さを縮めて、高集積化を実現する。

【構成】 記憶セルがマトリックス状に配置されており、y方向に並んでいる記憶セルA等を結んでビット線BL1~BL5が延在している。そして、1本おきのビット線BL1、BL3、BL5に接続され且つこれらのビット線BL1、BL3、BL5に斜交する方向に並んでいる記憶セルA~Cを結んでワード線WLが延在している。ワード線WLを選択すると、記憶セルA、B、C等の記憶データが1本おきのビット線BL1、BL3、BL5等に出され、ビット線BL2、BL4等には記憶データが出されない。また、ワード線WLのうちで記憶セル同士の間のいわゆる非選択ワード線部23が1個の記憶セル当たり0.5本である。



【特許請求の範囲】

【請求項1】トランジスタとキャパシタとで記憶セルが構成されている半導体記憶装置において、前記記憶セルがマトリックス状に配置されており、前記マトリックスの行または列の方向に並んでいる前記記憶セルを結んでビット線が延在しており、1本おきの前記ビット線に接続され且つこれらのビット線に斜交する方向に並んでいる前記記憶セルを結んでワード線が延在している半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、DRAMと称されている半導体記憶装置に関するものである。

【0002】

【従来の技術】図4は、折り返しビット線構成の積層キャパシタ型DRAMの一従来例を示している。DRAMでは、1個のトランジスタ11と1個のキャパシタ12とで1個の記憶セルが構成されており、ワード線WLが記憶セルAにおけるトランジスタ11のゲート電極になっている。

【0003】トランジスタ11のソース・ドレインの一方であるN⁺型の拡散層13には、コンタクト孔14を介して、キャパシタ12の記憶ノード電極15がコンタクトしている。また、ソース・ドレインの他方であるN⁺型の拡散層16には、キャパシタ12の対向電極17の開口内に形成されているコンタクト孔18を介して、記憶セルAに対してはビット線BL1がコンタクトしている。

【0004】この一従来例では、図4から明らかな様に、拡散層13、16同士を結ぶ方向、つまり図4中のy方向へビット線BL1等が延在しており、このy方向に直交するx方向へワード線WL等が延在している。

【0005】ところで、この一従来例は折り返しビット線構成であるので、オープンビット線構成よりも雑音に強いが、図4からも明らかな様に、1本のワード線つまりx方向に着目すると、2本のビット線に1個の記憶セルしか形成されていない。従って、記憶セルが最密のマトリックス状に配置されていない。

【0006】このため、拡散層13、16同士の間のワード線WL等がx方向へ延在した部分は、y方向で隣接している記憶セル同士の間のフィールド酸化膜21上に位置している。従って、ワード線WL等のうちで拡散層13、16同士の間の部分がいわゆる選択ワード線部22になっており、ワード線WL等のうちでy方向で隣接している記憶セル同士の間のフィールド酸化膜21上の部分がいわゆる非選択ワード線部23になっている。

【0007】

【発明が解決しようとする課題】しかし、図4からも明らかな様に、y方向で隣接している記憶セル同士の間に2本の非選択ワード線部23が延在していると、非選択

ワード線部23自体の線幅のみならず、非選択ワード線部23同士の間隔がy方向において必要である。このため、y方向で記憶セルの辺の長さを縮めることが難しい。

【0008】そして、上述の様に、記憶セルが最密のマトリックス状に配置されていないので、折り返しビット線構成の記憶セル数はオープンビット線構成の記憶セル数の半分である。従って、図4に示した一従来例では、記憶セルアレイの面積を縮小することが難しく、高集積化を実現することができなかった。

【0009】

【課題を解決するための手段】本発明による半導体記憶装置では、記憶セルがマトリックス状に配置されており、前記マトリックスの行または列の方向に並んでいる前記記憶セルA等を結んでビット線BL1～BL5が延在しており、1本おきの前記ビット線BL1、BL3、BL5に接続され且つこれらのビット線BL1、BL3、BL5に斜交する方向に並んでいる前記記憶セルA～Cを結んでワード線WLが延在している。

【0010】

【作用】本発明による半導体記憶装置では、1本おきのビット線BL1、BL3、BL5に接続されている記憶セルA～Cをワード線WLが結んでいるので、記憶データを読み出すためにワード線WLによって記憶セルA～Cを選択した時に、記憶データが出力されるのは1本おきのビット線BL1、BL3、BL5のみであり、総てのビット線BL1～BL5に記憶データが出力されるわけではない。従って、互いに隣接しているビット線BL1、BL2等で折り返しビット線構成を形成することができる。

30

【0011】しかも、ビット線BL1～BL5に斜交する方向に並んでいる記憶セルA～Cをワード線WLが結んでいるので、1本おきのビット線BL1、BL3、BL5に接続されている記憶セルA～Cのみをワード線WLが結んでも、これら1本おきのビット線BL1、BL3、BL5に挟まれている他のビット線BL2、BL4が結んでいる記憶セル同士の間にワード線WLを延在させることによって、これらの記憶セルを他のワード線で結ぶことができる。従って、ワード線が接続されていない記憶セルが発生することはない。

40

【0012】つまり、記憶セルA～Cが最密のマトリックス状に配置されているにも拘らず折り返しビット線構成を形成することができ、そしてこの様に折り返しビット線構成を形成することができるにも拘らず、ワード線WLのうちで記憶セル同士の間のいわゆる非選択ワード線部23が1個の記憶セル当たり0.5本でよい。

【0013】

【実施例】以下、折り返しビット線構成の積層キャパシタ型DRAMに適用した本発明の一実施例を、図1～3を参照しながら説明する。なお、図4に示した一従来例

50

に対応する構成部分には、同一の符号を付してある。

【0014】本実施例を製造するためには、図2(a)に示す様に従来公知の選択酸化法で半導体基板24の素子分離領域にフィールド酸化膜21を形成して、図1に示す様にマトリックス状に配置されている素子活性領域を形成する。そして、SiO₂膜である層間絶縁膜25を堆積させ、半導体基板24に達するコンタクト孔18を層間絶縁膜25に開孔する。

【0015】その後、半導体基板24上の第1層目の多結晶Si膜を堆積させ、この第1層目の多結晶Si膜をパターニングして、ビット線BL1等を形成する。これらのビット線BL1等は、後に形成する拡散層13、16同士を結ぶ方向である図1中のy方向に直交するx方向で隣接している記憶セル同士の間のフィールド酸化膜21上を、y方向へ延在させる。ビット線BL1等には、その片側の記憶セルのコンタクト孔18上へ延在する分枝部26を設ける。

【0016】次に、図2(b)に示す様に、ビット線BL1等をマスクにして層間絶縁膜25をエッチングで除去し、この状態で素子活性領域の表面にゲート酸化膜27を形成する。そして、半導体基板24上の第2層目の多結晶Si膜とSiO₂膜とをCVD法で順次に堆積させ、これらをパターニングしてワード線WL等とその上のオフセット用の絶縁膜28とを形成する。その後、ワード線WL等とフィールド酸化膜21とをマスクにして、半導体基板24に不純物をイオン注入して、拡散層13、16を形成する。

【0017】次に、図2(c)に示す様に、SiO₂膜である層間絶縁膜31をCVD法で全面に堆積させ、y方向で並んでいる記憶セル同士の間のフィールド酸化膜21上及びその近傍をx方向へ延びる開口を有するレジスト32(図1)を層間絶縁膜31上でパターニングする。そして、レジスト32をマスクにして層間絶縁膜31に対するRIEを行って、フィールド酸化膜21とワード線WL等とに囲まれているコンタクト孔14を層間絶縁膜31に自己整合的に開孔する。

【0018】次に、図2(d)に示す様に、半導体基板24上の第3層目の多結晶Si膜をCVD法で堆積させ、この第3層目の多結晶Si膜をパターニングして、キャパシタ12の記憶ノード電極15を形成する。そして、ONO膜を堆積させ、更に半導体基板24上の第4層目の多結晶Si膜をCVD法で堆積させ、これらでキャパシタ12のキャパシタ絶縁膜33と対向電極17とを形成する。

【0019】以上の様にして製造した本実施例のDRAMでは、図4に示した一従来例と記憶セル自体の本質的な構造は変わっておらず、上述の説明からも明らかな様に、プロセス工程は一従来例に比べて増大していない。

【0020】この様な本実施例のDRAMでは、例えばワード線WLは記憶セルA、B、C等の選択ワード線部

22になっている。このため、ワード線WLの電位を5Vにすると、記憶セルA、B、C等のトランジスタ11が導通して、これらの記憶セルA、B、C等の記憶データが1本おきのビット線BL1、BL3、BL5等に出方される。

【0021】しかし、ビット線BL1、BL3、BL5等の間のビット線BL2、BL4等については、コンタクト孔18上の層間絶縁膜31上やフィールド酸化膜21上をワード線WLが延在しており、これらの部分が非選択ワード線部23になっているので、ビット線BL2、BL4等には記憶データが出力されない。

【0022】従って、例えばビット線BL1、BL2を同一のセンス増幅器に接続しておけば、ビット線BL2の電位がプリチャージレベルのままであり、このビット線BL2の電位をビット線BL1に対する基準電位にすることができるので、ビット線BL1、BL2で折り返しビット線構成が形成されていることになる。

【0023】なお、図1に示した実施例では、ワード線WL等の全体が直線状であり、素子活性領域とフィールド酸化膜21との何れに対してもワード線WL等が斜交しているが、図3に示す様に、x方向で並んでいる記憶セル間のフィールド酸化膜21に対してのみワード線WL等を斜交させてもよい。

【0024】但し、図1に示した実施例でも、素子活性領域及びフィールド酸化膜21に対するワード線WL等の傾斜角度が小さいので、y方向におけるワード線WL等の幅の増大が少なく、記憶セルのy方向における辺の長さの増大が少ない。

【0025】

【発明の効果】本発明による半導体記憶装置では、記憶セルが最密のマトリックス状に配置されているにも拘らず折り返しビット線構成を形成することができ、そしてこの様に折り返しビット線構成を形成することができるにも拘らず、ワード線のうちで記憶セル同士の間のいわゆる非選択ワード線部が1個の記憶セル当たり0.5本でよいので、記憶セルの辺の長さを縮めることができる。従って、記憶セルアレイの面積を縮小することができる。高集積化を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の平面図である。

【図2】図1のI-I'線に沿う位置における製造工程を順次に示す側断面図である。

【図3】一実施例に対する変形例の要部の平面図である。

【図4】本発明の一従来例の平面図である。

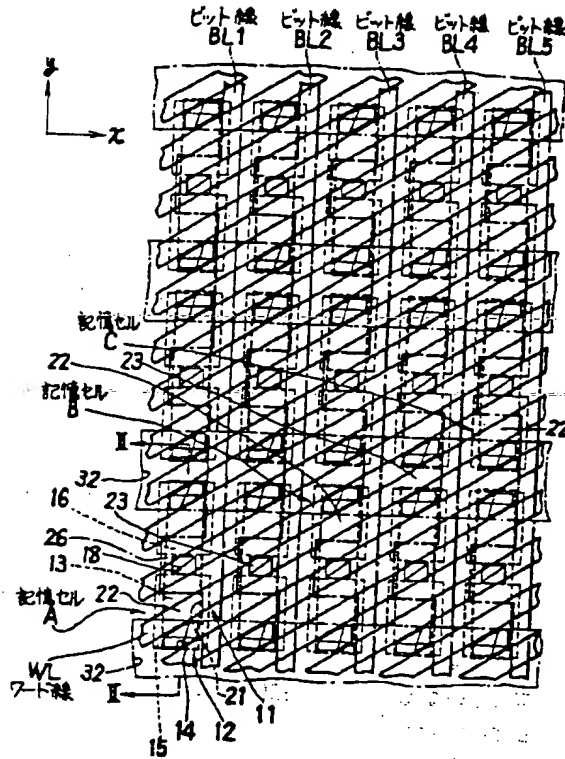
【符号の説明】

A 記憶セル
B 記憶セル
C 記憶セル
WL ワード線

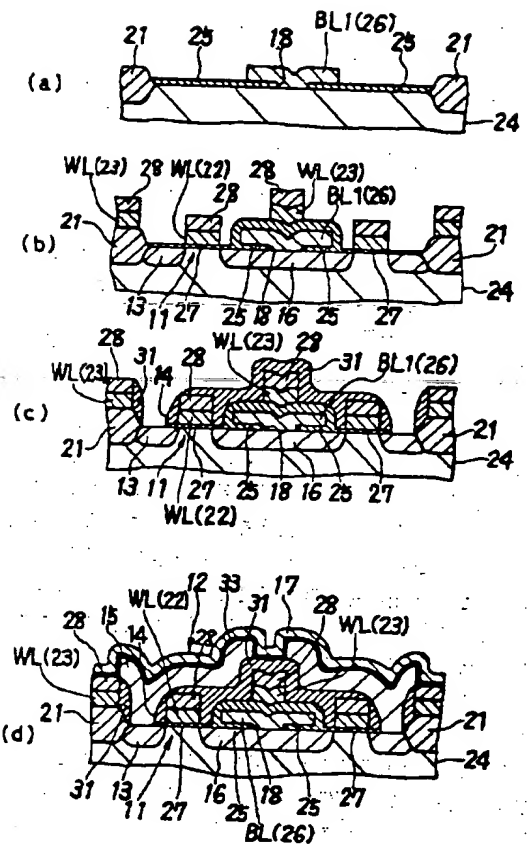
BL1 ビット線
BL2 ビット線
BL3 ビット線

BL4 ビット線
BL5 ビット線

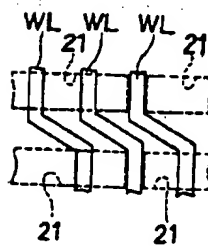
【図1】



【図2】



【図3】



【図4】

